

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110551 ✓
 (43)Date of publication of application : 30.04.1993

(51)Int.Cl. H04L 7/02

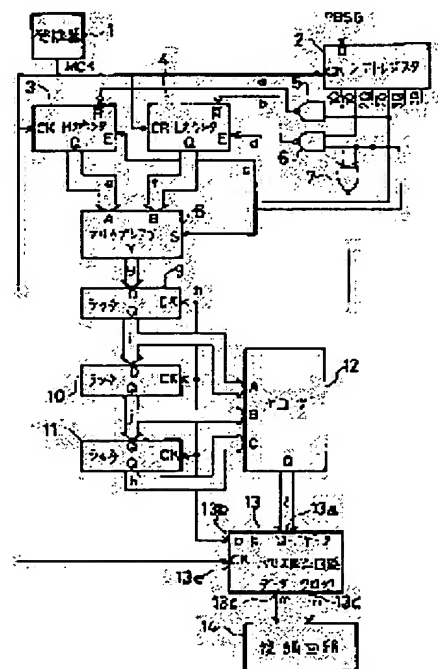
(21)Application number : 03-267443 (71)Applicant : SHARP CORP
 (22)Date of filing : 16.10.1991 (72)Inventor : KIYONAGA NORIYOSHI
 SUDO KENGO

(54) DATA PULSE GENERATING DEVICE

(57)Abstract:

PURPOSE: To reduce probability of an erroneous decision, compared with the case when a period is derived from only a count value of a level part for deciding the period by using count values before and after the count value of the level part for deciding the period, for a correction at the time of deciding the period.

CONSTITUTION: The device counts time length of a first level part and a second level part of data signal, and outputs a clock pulse signal corresponding to a period of each level part, based on these count values. Also, this device is constituted by providing latch circuits 9-11 of plural stages for latching successively the count values, and a decoder circuit 12 for using the count values before and after the count value of the level part for deciding a period, in the count values latched by each latch circuit 9-11, for a correction at the time of deciding the period.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-110551

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.⁵

H 0 4 L 7/02

識別記号

庁内整理番号

F I

技術表示箇所

8949-5K

H 0 4 L 7/02

Z

審査請求 未請求 請求項の数2(全13頁)

(21)出願番号

特願平3-267443

(22)出願日

平成3年(1991)10月16日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 清永 知徳

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(72)発明者 須藤 健吾

大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

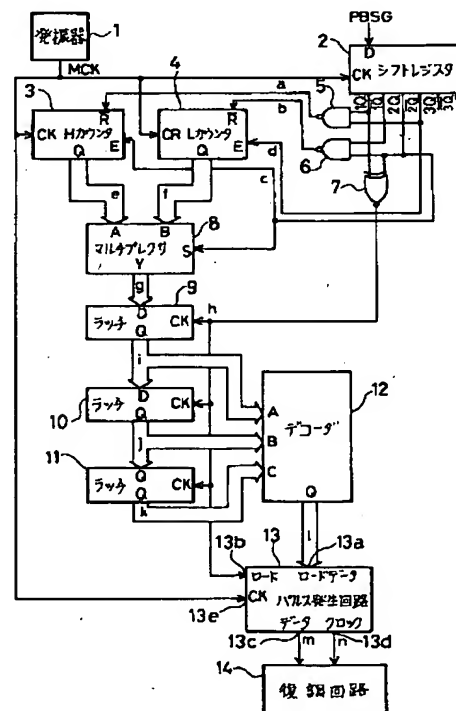
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 データパルス発生装置

(57)【要約】

【構成】 データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するものである。そして、上記カウント値を順次的にラッチする複数段のラッチ回路8~11と、これら各ラッチ回路8~11にラッチされたカウント値のうち、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用するデコード回路12とを有している構成である。

【効果】 周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用するため、周期を判定するレベル部のカウント値のみから周期を求める場合よりも誤判定する確率を低減することができる。



【特許請求の範囲】

【請求項1】 データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するデータパルス発生装置であって、上記カウント値を順次的にラッチする複数段のラッチ手段と、これら各ラッチ手段にラッチされたカウント値のうち、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用する周期判定手段とを有していることを特徴とするデータパルス発生装置。

【請求項2】 データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するデータパルス発生装置であって、上記レベル部をクロック信号の立ち上がりエッジまたは立ち下がりエッジの一方のエッジを用いてカウントするカウンタ手段と、上記レベル部の開始エッジと上記クロック信号の他方のエッジとの位置関係を判定し、開始エッジが他方のエッジよりも前に位置するときに、カウント値を補正するカウンタ補正手段とを有していることを特徴とするデータパルス発生装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、記録媒体上に記録された2値信号の変化区間の時間長さに基づいて決定される数のクロックパルス信号を発生するデータパルス発生装置に関するものである。

【0002】

【従来の技術】 記録媒体上に変調して記録されたデータ信号を再生および復調する回路において、再生信号を復調回路に取り込むためには、クロック信号による再生が必要になっている。一般に、このクロック信号は、再生信号を基にして復元されるものであり、この復元には、データパルス発生装置であるフェーズ・ロックド・ループ回路（以下PLL回路と称する）が多用されるようになっている。

【0003】 特に、デジタル素子により構成されたPLL回路（以下デジタルPLL回路と称する）は、アナログ素子によるPLL回路と比較して、使用部品によるバラツキが少なく無調整により所望の特性が得られる等の利点を有しているため、近年では多くの回路が提案されている。

【0004】 従来、上記のデジタルPLL回路には、例えば特開平1-123525号公報に開示されているように、再生信号よりも高いマスタークロック信号をプログラマブルな分周回路を用いて分周することによって再生クロック信号を生成し、この再生クロック信号と再生信号との位相差をカウンタ回路によってカウントし、得られたカウント値によりプログラマブル分周回路の分周

比を制御する方式が提案されている。

【0005】 また、従来のデジタルPLL回路には、再生信号のHレベルの期間およびLレベルの期間の時間長さをカウンタ回路によりカウントし、得られたカウント値に基づいた数のクロックパルスを発生させる方式も提案されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来のデータパルス発生装置であるデジタルPLL回路では、記録媒体への記録密度の増大に伴う再生信号のレベル低下によりノイズの影響を受け易いものになっており、このノイズのために再生信号の変化点位置がずれたり、また、特に磁気記録においては、磁気ヘッドの特性により前後の磁気記録パターンの影響を受けて再生信号の変化点位置がシフトする所謂ピークシフトが発生することになる。

【0007】 例えば図8に示すように、磁気記録媒体から磁気ヘッドを介して再生されて増幅されたアナログ信号の波形と、このアナログ信号をスライサによりスライスして2値信号（デジタル信号）に変換した再生信号（PBSG）の波形とをオシロスコープによって観測し、ピークシフトが矢符の位置で発生したとする。

【0008】 そして、記録時の信号の周期が1T、2T、3T、および4Tの4種類であったとすると、矢符のピークシフト位置では、例えば1Tが1.5Tおよび3Tが2.5Tに変化することになる。

【0009】 この際、従来のデータパルス発生装置において実施されているカウンタ回路によるカウントは、原理的に±1カウントの誤差を有しているため、マスタークロック信号が1Tの10倍とした場合には、1.5Tをカウントしたときに16カウントし、1T（10カウント）よりも2T（20カウント）に近い場合、2Tと誤判定する可能性があり、また、2.5Tを24カウントし、2Tと誤判定する可能性がある。

【0010】 このように、従来のデータパルス発生装置であるデジタルPLL回路では、大きなピークシフトが発生した場合、判定の誤りによる誤動作を生じる可能性が高いものになっている。従って、本発明においては、大きなピークシフトが発生した場合でも、誤判定の確率を十分に低減することができるデータパルス発生装置を提供することを目的としている。

【0011】

【課題を解決するための手段】 請求項1および請求項2の発明のデータパルス発生装置は、上記課題を解決するために、データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するものであって、下記の特徴を有している。

【0012】 即ち、請求項1のデータパルス発生装置は、上記カウント値を順次的にラッチする複数段のラッ

チ手段であるラッチ回路と、これら各ラッチ手段にラッチされたカウント値のうち、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用する周期判定手段であるデコーダ回路とを有していることを特徴としている。

【0013】また、請求項2のデータパルス発生装置は、上記レベル部をクロック信号の立ち上がりエッジまたは立ち下がりエッジの一方のエッジを用いてカウントするカウンタ手段であるNAND回路およびHカウンタ回路等と、上記レベル部の開始エッジと上記クロック信号の他方のエッジとの位置関係を判定し、開始エッジが他方のエッジよりも前に位置するときに、カウント値を補正するカウンタ補正手段であるNAND回路、補正カウンタ回路、および加算器等とを有していることを特徴としている。

【0014】

【作用】請求項1の構成によれば、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用するため、周期を判定するレベル部のカウント値のみから周期を求める場合よりも誤判定する確率を低減することができる。

【0015】また、請求項2の構成によれば、他方のエッジとレベル部の開始エッジとの位置関係を判定し、開始エッジが他方のエッジよりも前に位置するときにカウント値を補正するため、両エッジを用いてカウントを行う場合と同等となる。

【0016】よって、カウント値を±1のカウント誤差から±0.5のカウント誤差に低減できることになり、ひいては、カウント値から周期を求める際の誤判定の確率を低減することが可能になる。

【0017】

【実施例】【実施例1】本発明の一実施例を図1ないし図4に基づいて説明すれば、以下の通りである。

【0018】本実施例に係るデータパルス発生装置は、図1に示すように、マスタークロック信号MCKを出力する発振器1と、NRZI変換されてデジタル化された再生信号PBSGが入力されるシフトレジスタ回路2とを有している。シフトレジスタ回路2は、上記の再生信号PBSGが入力されるD端子と、発振器1からのマスタークロック信号MCKが入力されるCK端子と、マスタークロック信号MCKを1クロックづつシフトさせたシフト信号を出力する出力端子1Q～3Qおよび反転出力端子1Q～3Qとを有しており、マスタークロック信号MCKの立ち上がりエッジで再生信号PBSGを取り込み、上記のシフト信号を出力するようになっている。

【0019】上記のシフトレジスタ回路2の出力端子1Qおよび反転出力端子2Qは、2入力のNAND回路5の入力端子にそれぞれ接続されており、NAND回路5は、再生信号PBSGの立ち上がりエッジを示すエッジ検出信号aを出力するようになっている。また、シフト

レジスタ回路2の出力端子2Qおよび反転出力端子1Qは、2入力のNAND回路6の入力端子にそれぞれ接続されており、NAND回路6は、再生信号PBSGの立ち下がりエッジを示すエッジ検出信号bを出力するようになっている。さらに、シフトレジスタ回路2の出力端子1Qおよび出力端子2Qは、2入力のEX-OR回路7の入力端子にそれぞれ接続されており、EX-OR回路7は、再生信号PBSGの立ち上がりエッジおよび立ち下がりエッジを示すエッジ検出信号hを出力するようになっている。

【0020】上記のNAND回路5の出力端子は、Hカウンタ回路3のリセット端子Rに接続されており、NAND回路6の出力端子は、Lカウンタ回路4のリセット端子Rに接続されている。これらのHカウンタ回路3およびLカウンタ回路4は、発振器1からのマスタークロック信号MCKが入力されるCK端子と、出力端子Qと、カウントイネーブル端子Eとを有しており、Hカウンタ回路3のカウントイネーブル端子Eには、シフトレジスタ回路2の出力端子2Qが接続され、出力端子2Qからシフト信号cが入力されるようになっている。また、Lカウンタ回路4のカウントイネーブル端子Eには、シフトレジスタ回路2の反転出力端子2Qが接続されており、反転出力端子2Qからシフト信号dが入力されるようになっている。

【0021】そして、Hカウンタ回路3は、エッジ検出信号aの入力により、カウント値をゼロクリアしてマスタークロック信号MCKのカウントを開始し、シフト信号cの入力により、カウントを停止してカウント値をHレベル部（第1のレベル部）のカウント信号eとして出力端子Qから出力するようになっている。また、Lカウンタ回路4は、エッジ検出信号bの入力により、カウント値をゼロクリアしてマスタークロック信号MCKのカウントを開始し、シフト信号dの入力により、カウントを停止してカウント値をLレベル部（第2のレベル部）のカウント信号fとして出力端子Qから出力するようになっている。

【0022】上記のHカウンタ回路3の出力端子QおよびLカウンタ回路4の出力端子Qは、マルチプレクサ回路8の入力端子Aおよび入力端子Bにそれぞれ接続されている。このマルチプレクサ回路8は、入力端子A・Bに入力されたカウント信号e・fのいずれか一方を出力する出力端子Yと、上記のカウント信号e・fの出力を切り替える切替端子Sとを有している。そして、このマルチプレクサ回路8の切替端子Sには、上述のシフトレジスタ回路2の出力端子2Qが接続されており、出力端子2Qからのシフト信号cが入力されるようになっている。

【0023】上記のマルチプレクサ回路8は、出力端子Yがラッチ回路9（ラッチ手段）の入力端子Dに接続されており、シフト信号cによって切り替えられたカウ

ト信号e・fのカウンタ値をカウンタ信号gとして出力するようになっている。そして、このカウンタ信号gが入力されるラッチ回路9は、出力端子Qがラッチ回路10（ラッチ手段）の入力端子Dに接続され、この入力端子Dにカウンタ信号gをラッチした信号であるカウンタ信号iを出力するようになっている。ラッチ回路10は、出力端子Qがラッチ回路11（ラッチ手段）の入力端子Dに接続され、この入力端子Dにカウンタ信号iをラッチした信号であるカウンタ信号jを出力するようになっている。さらに、ラッチ回路11は、出力端子Qがデコーダ回路12（周期判定手段）の入力端子Cに接続されており、この入力端子Cにカウンタ信号kを出力するようになっている。

【0024】また、各ラッチ回路9・10・11は、上記の出力端子Qおよび入力端子Dの他、クロック端子CKも有しており、各クロック端子CKには、上述のEX-OR回路7の出力端子が接続されている。そして、これらのラッチ回路9・10・11は、EX-OR回路7からエッジ検出信号hが入力される毎に、入力端子D・D・Dに入力されているカウンタ信号g・i・jを受け取ると共に、出力端子Q・Q・Qからカウンタ信号i・j・kを出力することによって、連続するカウンタ値を順次的にラッチするようになっている。

【0025】上記のラッチ回路9・10・11は、各出力端子Q・Q・Qがデコーダ回路12の入力端子A・B・Cに接続されている。このデコーダ回路12は、図3に示すように、ROM15・16・17を有しており、各ROM15・16・17のアドレス端子A₀～A₅には、上述の入力端子A・B・Cがそれぞれ接続されている。

【0026】上記のROM15・17は、表1に示すように、アドレス端子A₀～A₅へのカウンタ信号i・kによって特定されるアドレスに対応したデータ領域に補正信号p・qとなる出力データを有している。

【0027】

【表1】

入 力 (=X)	出 力
0 ~ 10	10 - X
11 ~ 15	X - 10
16 ~ 20	20 - X
20 ~ 25	X - 20
26 ~ 30	30 - X
31 ~ 35	X - 30
36 ~ 40	40 - X
41 ~ 63	X - 40
64 ~ 127	0

【0028】尚、上記の表1は、カウンタ信号i・kを入力値Xとし、この入力値Xの数値範囲に対応する関係式を用いて算出された出力データが、入力値Xによって特定されるアドレスに対応したデータ領域に格納されていることを意味している。

【0029】また、ROM16は、表2に示すように、アドレス端子A₀～A₅へのカウンタ信号jによって特定されるアドレスに対応したデータ領域に制御信号rとなる出力データを有している。

【0030】

【表2】

入 力	出 力
0 ~ 14	1
15	0
16 ~ 24	1
25	0
26 ~ 34	1
35	0
36 ~ 63	1

【0031】上記のROM16のデータ端子Q₀は、ROM15・17のアドレス端子A₆・A₆に接続されており、これらのアドレス端子A₆・A₆に制御信号rを出力するようになっている。そして、両ROM15・17は、アドレス端子A₆・A₆に‘1’の制御信号rが入力されることによって‘0’の補正信号p・qを出力するようになっている一方、アドレス端子A₆・A₆に‘0’の制御信号rが入力されることによって出力データの補正信号p・qを出力するようになっている。

【0032】上記の各ROM15・17のデータ端子Q₀～Q₅・Q₀～Q₅およびデコーダ回路12の入力端子Bは、加算器18の入力端子A・C・Bにそれぞれ接続されており、入力端子A・Cに補正信号p・qを入力させるようになっていると共に、入力端子Bにカウンタ信号jを入力させるようになっている。そして、加算器18の出力端子Yは、ROM19のアドレス端子A₀～A₅に接続されており、このROM19のアドレス端子A₀～A₅に補正信号p・qおよびカウンタ信号jの各カウンタ値を加算した加算値である加算信号oを出力するようになっている。

【0033】加算信号oが入力されるROM19は、表3に示すように、アドレス端子A₀～A₅への加算信号oによって特定されるアドレスに対応したデータ領域にデコード信号lとなる出力データを有している。そして、このROM19は、データ端子Q₀～Q₅がデコーダ回路12の出力端子Qに接続されている。

【0034】

【表3】

入 力	出 力
0 ~ 15	1
16 ~ 25	2
26 ~ 35	3
36 ~ 63	4

【0035】上記のデコーダ回路12は、図1に示すように、出力端子Qがパルス発生回路13のロードデータ端子13aに接続されている。このパルス発生回路13は、ロード端子13b、CK端子13e、データ出力端子13c、およびクロック出力端子13dを有しており、データ出力端子13cからデータ信号mを出力するようになっていると共に、クロック出力端子13dからクロックパルス信号nを出力するようになっている。

【0036】即ち、パルス発生回路13は、図4に示すように、ダウンカウンタ回路20、2入力のNAND回路22、3入力のOR回路21、T-FF回路23、およびNOT回路30からなっており、ダウンカウンタ回路20は、ロード入力端子20a、ロード端子20b、クロック端子CK、および出力端子 $Q_A \cdot Q_B \cdot Q_C$ を有している。そして、ダウンカウンタ回路20のロード入力端子20aには、パルス発生回路13のロードデータ端子13aが接続されており、このロードデータ端子13aを介してデコード信号1が入力されるようになっている。

【0037】また、ダウンカウンタ回路20のロード端子20bには、パルス発生回路13のロード端子13bが接続されており、このロード端子13bを介してエッジ検出信号hが入力されるようになっている。さらに、このロード端子13bは、T-FF回路23の入力端子Tにも接続されており、T-FF回路23は、エッジ検出信号hの入力毎に反転するデータ信号mを出力端子Qから出力するようになっている。そして、このT-FF回路23の出力端子Qは、パルス発生回路13のデータ出力端子13cに接続されている。

【0038】一方、ダウンカウンタ回路20の出力端子 $Q_A \cdot Q_B \cdot Q_C$ は、OR回路21の入力端子に接続されており、OR回路21の出力端子は、NAND回路22の一方の入力端子に接続されている。このNAND回路22の他方の入力端子には、パルス発生回路13のCK端子13eが接続され、このCK端子13eからマスタークロック信号MCKが入力されるようになっており、NAND回路22の出力端子は、ダウンカウンタ回路20のクロック端子CKおよびNOT回路30を介してパルス発生回路13のクロック出力端子13dに接続されている。

【0039】これにより、ダウンカウンタ回路20は、エッジ検出信号hの入力時にデコード信号1の値をセットし、この値をマスタークロック信号MCKのクロック

端子CKへの入力毎にカウントダウンして出力端子 $Q_A \cdot Q_B \cdot Q_C$ からOR回路21に出力するようになっており、OR回路21は、出力端子 $Q_A \cdot Q_B \cdot Q_C$ からの全信号がLレベルになったときに、Lレベルを出力してNAND回路22の出力を停止させ、デコード信号1の値に対応したパルス数のクロックパルス信号nを出力させるようになっている。

【0040】そして、上記のパルス発生回路13は、図1に示すように、データ出力端子13cおよびクロック出力端子13dが復調回路14に接続されており、復調回路14は、パルス発生回路13からのクロックパルス信号nおよびデータ信号mを基に復調を行うようになっている。

【0041】上記の構成において、データパルス発生装置の動作について説明する。

【0042】まず、再生信号PBSGは、1つのレベルが定められた周期Tの正数倍の時間長さを有し、最も短い時間長さとして1Tを有し、最も長い時間長さとして2Tを有するものとする。また、マスタークロック信号MCKは、1Tの10倍であるとする。

【0043】再生信号PBSGは、発振器1が発生するマスタークロック信号MCKの立ち上がりエッジでシフトレジスタ回路2に取り込まれ、マスタークロック信号MCKの1クロックずつシフトされたシフト信号が順に出力端子1Q~3Qおよび反転出力端子1Q~3Qから出力されることになる。そして、NAND回路5およびNAND回路6は、これらのシフト信号が入力されることによって、図2に示すように、再生信号PBSGの立ち下がりおよび立ち上がりに対応したエッジ検出信号a・bを出力することになる。また、EX-OR回路7は、再生信号PBSGの立ち下がりおよび立ち上りの両方に対応したエッジ検出信号hを出力することになる。

【0044】エッジ検出信号a・bは、Hカウンタ回路3およびLカウンタ回路4にそれぞれ入力されることになる。この際、これらのHカウンタ回路3およびLカウンタ回路4のクロック端子CK・CKには、マスタークロック信号MCKが入力されており、カウントイネーブル端子E・Eには、シフトレジスタ回路2からのシフト信号c・dが入力されている。そして、Hカウンタ回路3は、これらの信号により再生信号PBSGのHレベルの'1'区間をカウントし、Lカウンタ回路4は、再生信号PBSGのLレベルの'0'区間をカウントすることになる。尚、図2の例では、再生信号PBSGの周期1T・3T・1T・2T・…に対してHカウンタ回路3およびLカウンタ回路4が交互に12、25、14、15、…とカウントしている。

【0045】上記のカウント値は、カウント信号e・fとしてマルチプレクサ回路8に入力され、切替端子Sに入力されたシフト信号cによって切り替えられながら、

カウント信号gとしてラッチ回路9に入力されてラッチされることになる。ラッチ回路9・10・11は、シフトレジスタを構成しており、ラッチ回路9のカウント信号iは、エッジ検出信号hによりラッチ回路10およびラッチ回路11へと順にシフトされることになる。そして、ラッチ回路9・10・11から出力されたカウント信号i・j・kは、デコーダ回路12に入力されることになる。

【0046】デコーダ回路12に入力された各カウント信号i・j・kは、図3に示すように、ROM15・16・17に入力されることになる。ここで、例えば図2の t_1 時点以降の動作について説明すると、 t_1 時点ではカウント信号jが‘12’のカウント値であるため、ROM16は、表2に示すように、‘1’の出力値を出力することになる。そして、この‘1’の出力値が制御信号rとしてROM15・17に入力されることによって、ROM15・17から‘0’の補正信号p・qが出力されることになる。従って、加算器18は、‘0’と‘12’と‘0’とを加算し、この加算値である‘12’を加算信号oとしてROM19に出力することになり、ROM19は、表3に示すように、加算信号oの‘12’に対応する‘1’をデコード信号lとして出力することになる。

【0047】また、 t_2 時点ではカウント信号jが‘25’のカウント値であるため、ROM16は、表2に示すように、‘0’の出力値を出力することになる。そして、この‘0’の出力値が制御信号rとしてROM15・17に入力されることによって、表1に示すように、ROM15・17から‘25’に対応した‘4’および‘2’の補正信号p・qが出力されることになる。従って、加算器18は、‘4’と‘25’と‘2’とを加算し、この加算値である‘31’を加算信号oとしてROM19に出力することになり、ROM19は、表3に示すように、加算信号oの‘31’に対応する‘3’をデコード信号lとして出力することになる。

【0048】この後、上記のデコード信号lは、図4に示すように、パルス発生回路13のダウンカウンタ回路20に入力されることになり、ダウンカウンタ回路20は、エッジ検出信号hの入力時にデコード信号lの値をセットし、この値をマスタークロック信号MCKのクロック端子CKへの入力毎にカウントダウンして出力端子QA・QB・QCからOR回路21に出力し、出力端子QA・QB・QCからの全信号がLレベルになったときにOR回路21からLレベルを出力させることによって、NAND回路22の出力を停止させ、デコード信号lの値に対応したパルス数のクロックパルス信号nを復調回路14へ出力させることになる。また、T-FF回路23は、エッジ検出信号hの入力毎に反転するデータ信号mを復調回路14に出力することになる。

【0049】このように、本実施例のデータパルス発生

装置は、カウント信号jからクロックパルス信号n等の周期を求める際に、このカウント信号jの前後するカウント信号i・kを補正に使用するようになっているため、カウント信号jのみから周期を求める場合よりも誤判定する確率が低減されたものになっている。

【0050】尚、本実施例におけるデコーダ回路12は、ROM15・16・17・19と加算器18とからなっており、上述の演算手順によりデコード信号lを形成するようになっているが、これに限定されることはない。即ち、デコーダ回路12は、カウント信号jのカウント値と、このカウント信号jに前後するカウント信号i・kのカウント値とを合計しておき、カウント信号i・kの示す周期に例えば‘10’等の所定値を積算した値を上記の合計値から減算し、この減算値を表3と突き合わせることによってカウント信号jの周期を求めるようになっているても良い。

【0051】〔実施例2〕次に、本発明の他の実施例を図5ないし図7に基づいて説明すれば、以下の通りである。

【0052】本実施例に係るデータパルス発生装置は、図5に示すように、Hカウンタ回路部を有している。このHカウンタ回路部は、第1シフトレジスタ回路2’

(カウンタ手段、カウンタ補正手段)および第2シフトレジスタ回路24(カウンタ補正手段)を有している。第1シフトレジスタ回路2’は、再生信号PBSGが入力されるD端子と、マスタークロック信号MCKが入力されるCK端子と、マスタークロック信号MCKを1クロックずつシフトさせたシフト信号を出力する出力端子1Q～3Qおよび反転出力端子1Q～3Qとを有しており、マスタークロック信号MCKの立ち上がりエッジで再生信号PBSGを取り込み、上記のシフト信号を出力するようになっている。そして、第1シフトレジスタ回路2’の出力端子1Qおよび反転出力端子2Qは、2入力のNAND回路5’(カウンタ手段)の入力端子にそれぞれ接続されており、NAND回路5’は、再生信号PBSGの立ち上がりエッジを示すエッジ検出信号a’を出力するようになっている。

【0053】一方、第2シフトレジスタ回路24は、再生信号PBSGが入力されるD端子と、マスタークロック信号MCKが入力される反転CK端子と、マスタークロック信号MCKを1クロックずつシフトさせたシフト信号を出力する出力端子1Q～3Qおよび反転出力端子1Q～3Qとを有しており、マスタークロック信号MCKの立ち下がりエッジで再生信号PBSGを取り込み、上記のシフト信号を出力するようになっている。そして、第2シフトレジスタ回路24の出力端子3Qは、2入力のNAND回路25(カウンタ補正手段)の一方の入力端子に接続されている。

【0054】また、NAND回路25の他方の入力端子には、上述の第1シフトレジスタ回路2’の反転出力端

子3Qが接続されており、NAND回路25は、第2シフトレジスタ回路24の出力端子3Qのシフト信号が第1シフトレジスタ回路2'の反転出力端子3Qのシフト信号よりも前に入力されることによって、再生信号P B S Gの立ち上がりエッジを示すエッジ検出信号tを出力するようになっている。

【0055】上記のNAND回路25の出力端子は、補正カウンタ回路26（カウンタ補正手段）のクロック端子CKに接続されている。また、補正カウンタ回路26の反転リセット端子Rには、上述のNAND回路5'の出力端子が接続されており、カウントイネーブル端子Eには、Hレベルである「1」のリセット信号が入力されるようになっている。そして、補正カウンタ回路26は、出力端子 $Q_0 \cdot Q_1$ が2入力の加算器27（カウンタ補正手段）の一方の入力端子 $B_0 \cdot B_1$ に接続されている。

【0056】また、補正カウンタ回路26の反転リセット端子Rに接続されたNAND回路5'は、Hカウンタ回路3'（カウンタ手段）の反転リセット端子Rにも接続されている。このHカウンタ回路3'のカウントイネーブル端子Eには、第1シフトレジスタ回路2'の出力端子2Qが接続されており、クロック端子CKには、マスタークロック信号MCKが入力されるようになっている。そして、Hカウンタ回路3'の出力端子 $Q_0 \sim Q_5$ は、上述の加算器27の他方の入力端子 $A_1 \sim A_6$ に接続されており、加算器27は、両入力端子 $A_1 \sim A_6 \cdot B_0 \cdot B_1$ に入力された値を加算してHレベル部のカウント信号eとして出力するようになっている。

【0057】尚、上記のHカウンタ回路部の回路構成は、マスタークロック信号MCKおよび再生信号P B S GからLレベル部のカウント信号fを形成するLカウンタ回路部の回路構成と同等であり、また、本実施例のデータパルス発生装置のその他の回路構成は、上述の実施例1の回路構成と同等であるため、これらの回路構成の説明を省略する。

【0058】上記の構成において、データパルス発生装置の動作について説明する。

【0059】再生信号P B S Gは、マスタークロック信号MCKの立ち上がりエッジで第1シフトレジスタ回路2'に取り込まれ、マスタークロック信号MCKの1クロックずつシフトされたシフト信号が順に出力されることになる。また、再生信号P B S Gは、マスタークロック信号MCKの立ち下がりエッジで第2シフトレジスタ回路24に取り込まれることになる。

【0060】第1シフトレジスタ回路2'の出力端子1Qおよび反転出力端子2Qからのシフト信号は、図6および図7に示すように、NAND回路5'に入力されることになり、NAND回路5'は、再生信号P B S Gの立ち上がりに対応したエッジ検出信号a'を出力することになる。

【0061】また、第1シフトレジスタ回路2'の出力端子3Qからのシフト信号および第2シフトレジスタ回路24の反転出力端子3Qからのシフト信号は、NAND回路25に入力されることになり、NAND回路25は、再生信号P B S Gをマスタークロック信号MCKの立ち上がりおよび立ち下がりそれぞれラッチした第1シフトレジスタ回路2'および第2シフトレジスタ回路24の出力差に対応したエッジ検出信号tを出力することになる。即ち、上記のエッジ検出信号tは、再生信号P B S Gの立ち上がり時、マスタークロック信号MCKの立ち上がりエッジによるラッチよりも、立ち下がりエッジによるラッチが先行する場合に出力されることになり、または、再生信号P B S Gの立ち下がり時、マスタークロック信号MCKの立ち下がりエッジによるラッチよりも、立ち上がりエッジによるラッチが先行する場合に出力されることになる。

【0062】エッジ検出信号a'は、Hカウンタ回路3'および補正カウンタ回路26のリセット端子R・Rにそれぞれ入力されることになる。また、Hカウンタ回路3'のクロック端子CKには、マスタークロック信号MCKが入力されており、さらに、Hカウンタ回路3'のカウントイネーブル端子Eには、第1シフトレジスタ回路2'の出力端子2Qからのシフト信号が入力されている。そして、Hカウンタ回路3'は、入力された信号を基にして再生信号P B S Gの「1」区間をカウントし、カウント信号e'として加算器27の入力端子 $A_1 \sim A_6$ へ出力することになる。尚、カウント信号e'は、出力端子 $Q_0 \sim Q_5$ から入力端子 $A_1 \sim A_6$ に1ビット分シフトされて入力されるため、加算器27には、2倍のカウント信号e'として入力されることになる。

【0063】この際、図6に示すように、補正カウンタ回路26にエッジ検出信号tが入力された場合には、補正カウンタ回路26がカウントを開始し、このカウント値が補正信号sとして加算器27の入力端子 $B_0 \cdot B_1$ へ出力されることになる。一方、図7に示すように、補正カウンタ回路26にエッジ検出信号tが入力されない場合には、補正カウンタ回路26がカウントを開始せず、「0」が補正信号sとして加算器27の入力端子 $B_0 \cdot B_1$ へ出力されることになる。

【0064】そして、この補正信号sおよびカウント信号e'は、両カウント値が加算器27によって加算され、Hレベル部のカウント信号eとして出力されることになる。

【0065】これにより、補正信号sを用いない従来と同等のカウント信号e'は、図6および図7に示すように、マスタークロック信号MCKが同一の時間長さ $t_a \cdot t_b$ であるにも拘わらず「7」と「8」の異なったカウント値を示しているのに対し、補正信号sを用いたカウント信号eは、両者共に「16」のカウント値を示すようになっている。従って、本実施例のデータパルス発

生装置は、カウント信号eを±1のカウント誤差から±0.5のカウント誤差に低減させることが可能になっており、ひいては、周期を判定する際の誤判定の確率を低減させることが可能になっている。尚、カウント信号eを出力した以降の動作は、実施例1と同一であるので説明を省略する。

【0066】

【発明の効果】請求項1の発明のデータパルス発生装置は、以上のように、データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するものであって、上記カウント値を順次的にラッチする複数段のラッチ手段と、これら各ラッチ手段にラッチされたカウント値のうち、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用する周期判定手段とを有している構成である。

【0067】これにより、周期を判定するレベル部のカウント値に前後するカウント値を周期の判定時の補正に使用するため、周期を判定するレベル部のカウント値のみから周期を求める場合よりも誤判定する確率を低減することができるという効果を奏する。

【0068】また、請求項2の発明のデータパルス発生装置は、以上のように、データ信号の第1のレベル部および第2のレベル部の時間長さをカウントし、これらカウント値を基にして各レベル部の周期に対応するクロックパルス信号を出力するものであって、上記レベル部をクロック信号の立ち上がりエッジまたは立ち下がりエッジの一方のエッジを用いてカウントするカウンタ手段と、上記レベル部の開始エッジと上記クロック信号の他方のエッジとの位置関係を判定し、開始エッジが他方のエッジよりも前に位置するときに、カウント値を1カウント繰り上げるカウンタ補正手段とを有している構成である。

【0069】これにより、開始エッジが他方のエッジよりも前に位置するときにカウント値を補正するため、両エッジを用いてカウントを行う場合と同等となり、結果として、カウント値を±1のカウント誤差から±0.5の

カウント誤差に低減できることから、カウント値から周期を求める際の誤判定の確率を低減することが可能になるという効果を奏する。

【図面の簡単な説明】

【図1】本発明のデータパルス発生装置の回路図である。

【図2】データパルス発生装置の信号状態を示す説明図である。

【図3】デコーダ回路の回路図である。

【図4】パルス発生回路の回路図である。

【図5】Hカウンタ回路部の回路図である。

【図6】Hカウンタ回路部の信号状態を示す説明図である。

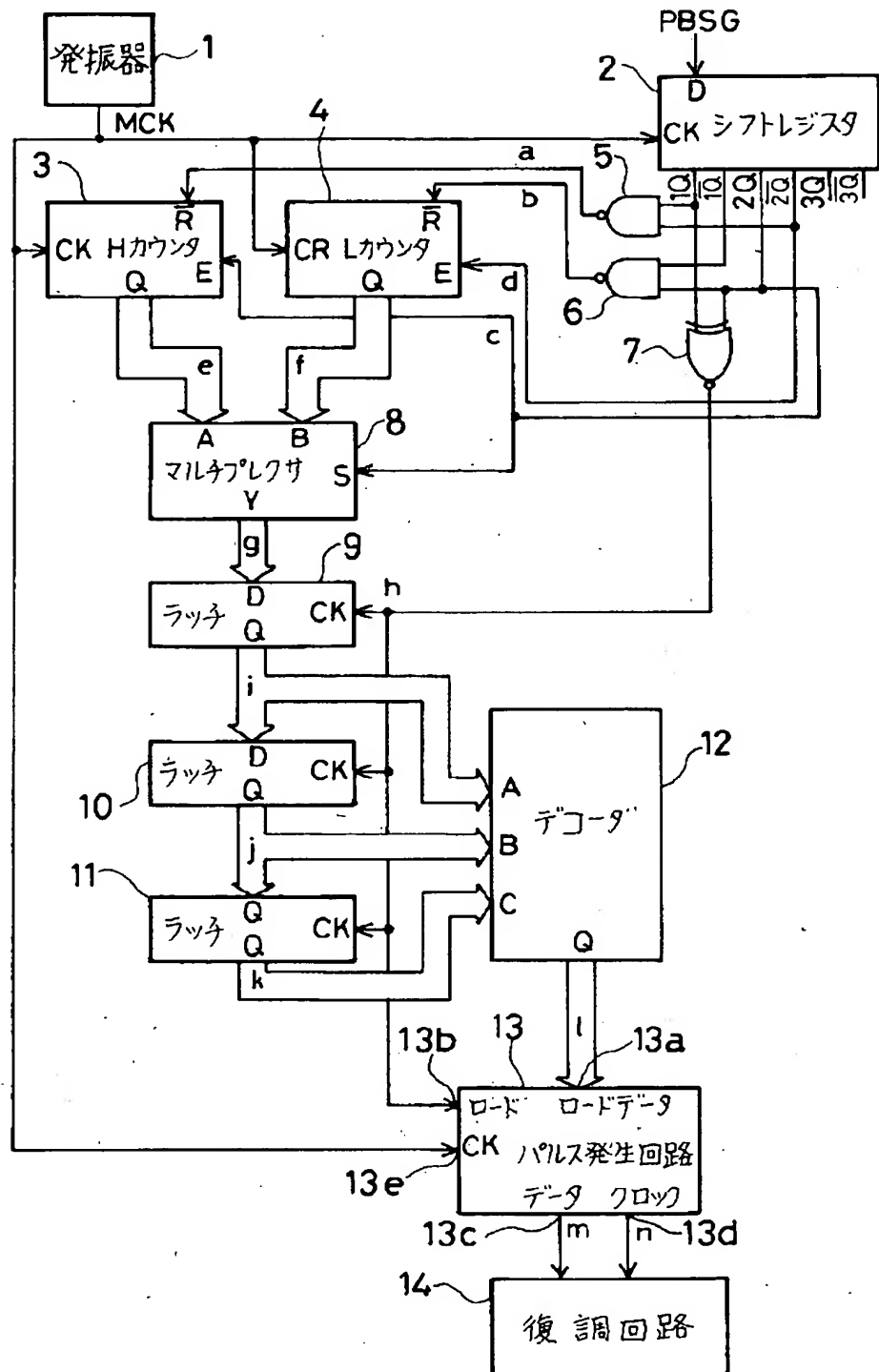
【図7】Hカウンタ回路部の信号状態を示す説明図である。

【図8】従来例に用いた再生信号の状態を示す説明図である。

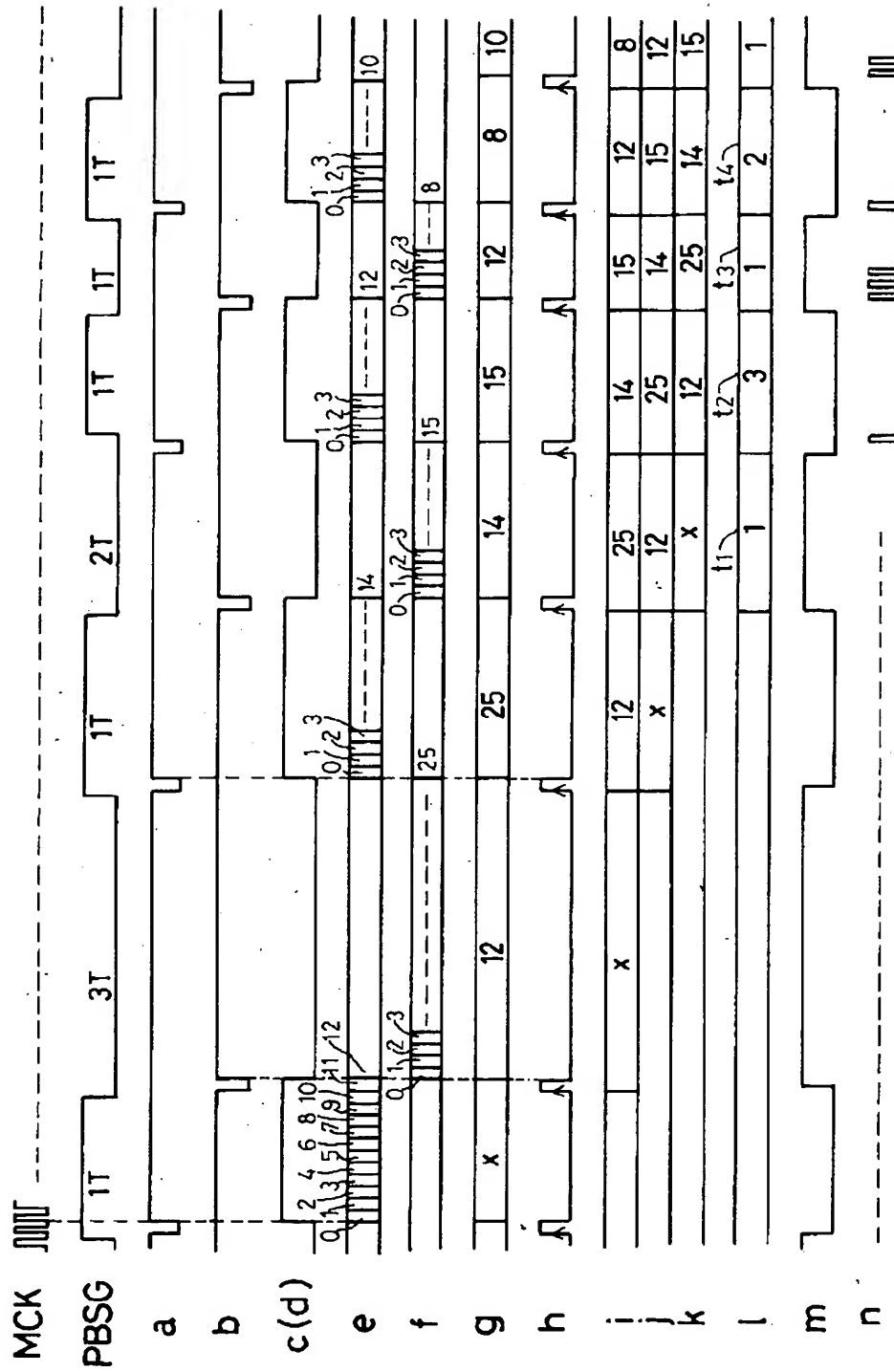
【符号の説明】

1	発振器
2	シフトレジスタ回路
2'	第1シフトレジスタ回路 (カウンタ手段、カウンタ補正手段)
3	Hカウンタ回路
3'	Hカウンタ回路 (カウンタ手段)
4	Lカウンタ回路
8	マルチプレクサ回路
9・10・11	ラッチ回路 (ラッチ手段)
12	デコーダ回路 (周期判定手段)
13	パルス発生回路
14	復調回路
15～17・19	ROM
18	加算器
20	ダウンカウンタ回路
23	T-F F回路
24	第2シフトレジスタ回路
26	補正カウンタ回路 (カウンタ補正手段)
27	加算器 (カウンタ補正手段)

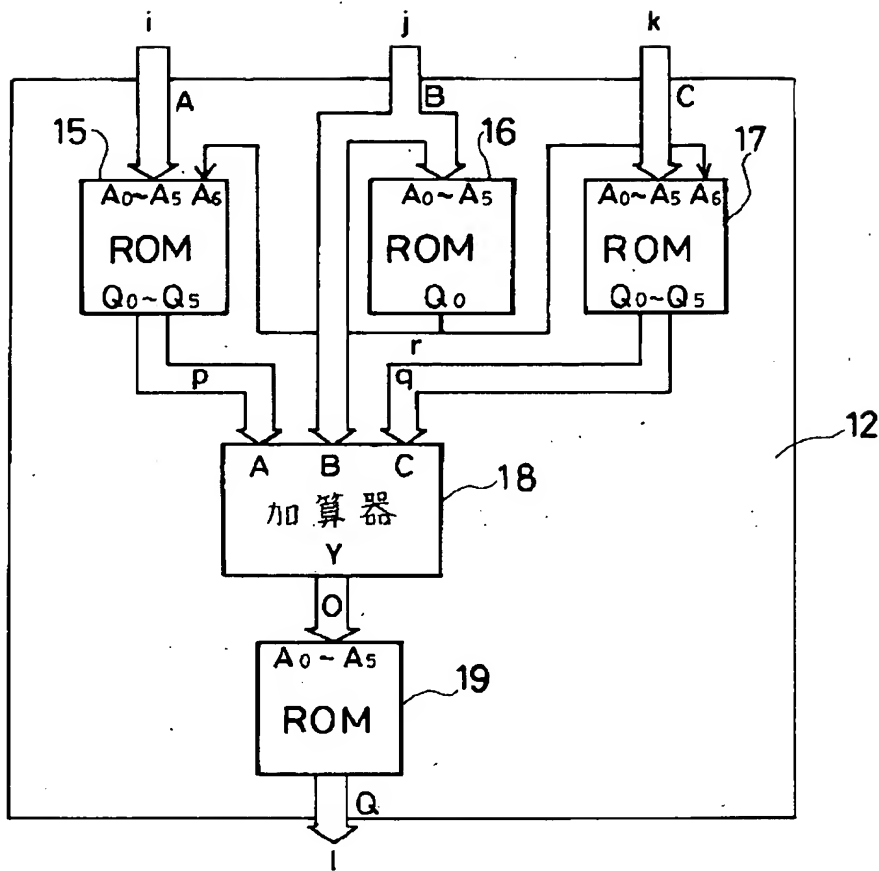
【図1】



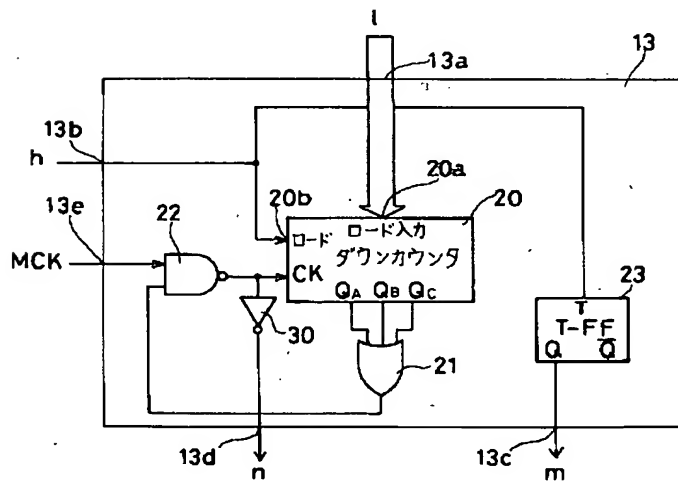
【図2】



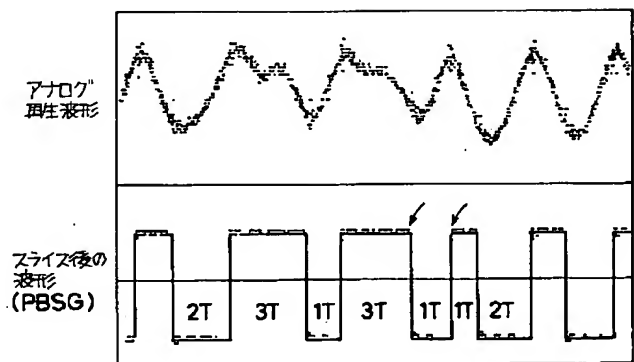
【図3】



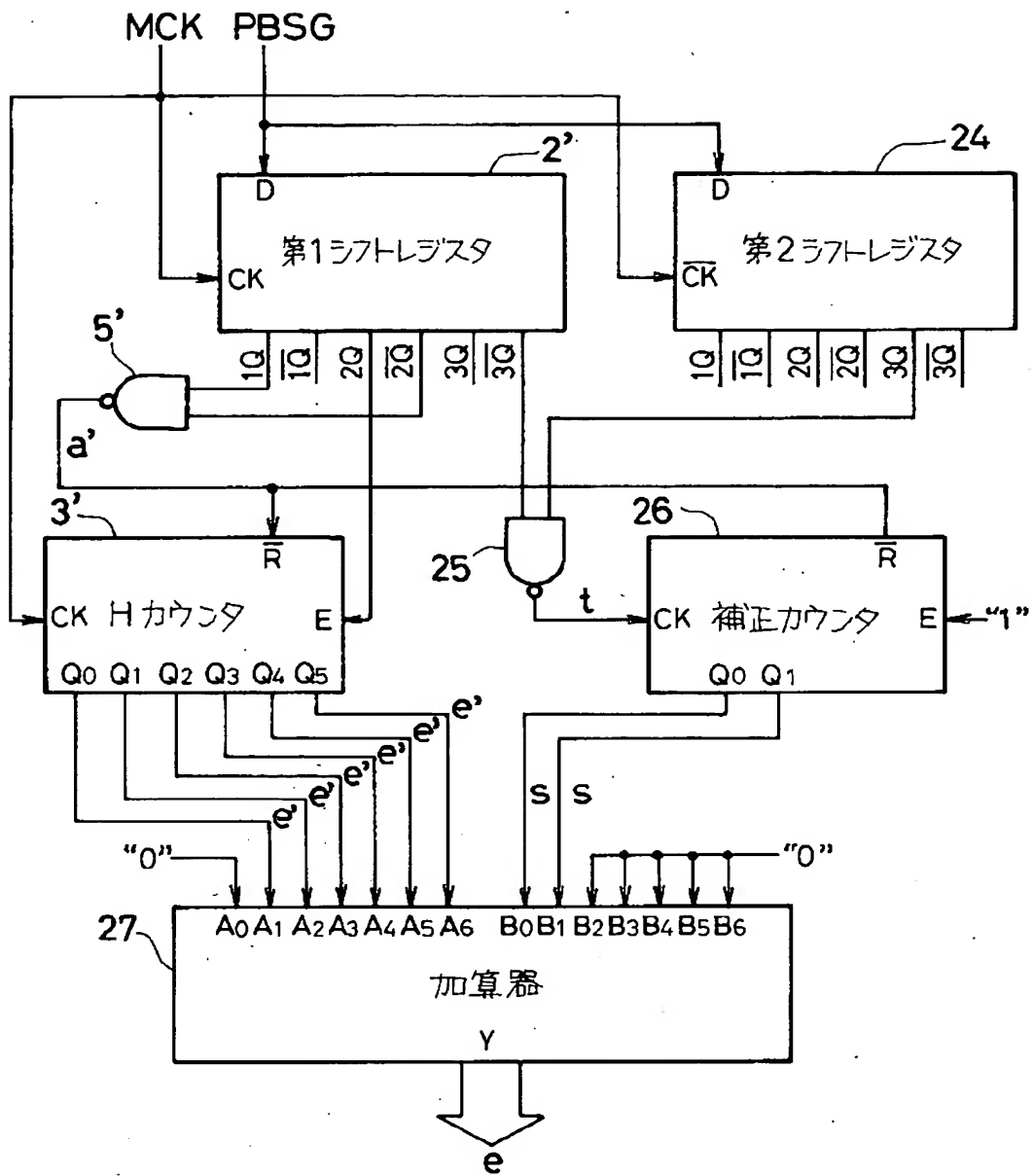
【図4】



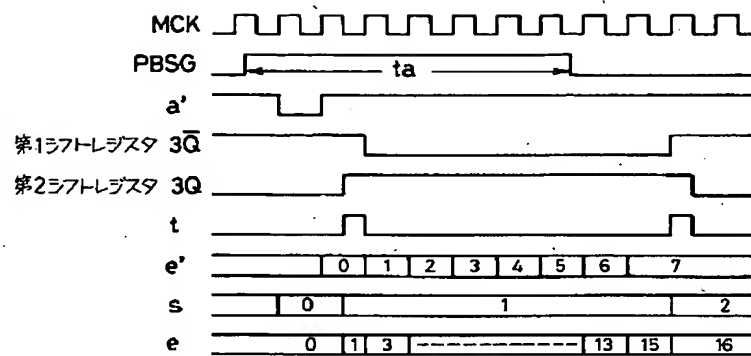
【図8】



【図5】



【図6】



【図7】

